

SIGNAL TRANSMITTER

Publication number: JP60160239 (A)

Publication date: 1985-08-21

Inventor(s): OGAWA YUUJI; OIMURA KATSUHIKO; URAKAKI KAZUAKI

Applicant(s): OMRON TATEISI ELECTRONICS CO

Classification:

- international: H04L12/403; H04L12/403; (IPC1-7): H04L11/00

- European: H04L12/40A1; H04L12/403

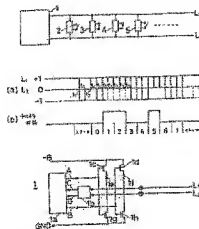
Application number: JP19840016446 19840130

Priority number(s): JP19840016446 19840130

Abstract of JP 60160239 (A)

PURPOSE: To decrease the power consumption by allowing a master device to transmit a tri-state signal when the device transmits a master signal via a signal line, allowing a slave device to use one state in the said tri-state signal as the own clock signal and use other one-state as a slave signal to the master device so as to eliminate the need of a reference clock to the slave device side.

CONSTITUTION: The master device 1 transmits a tri-state signal +1, 0, -1. That is, the signal level transmitted to the 1st signal line L1 till a time t1 is +1, and -1 between times t1-t2, 0 between times t2-t3, +1 between times t3-t4 and changes between the +1 -1 at a time t5 and succeeding times. The signal transmission from slave devices 2, 3 is discriminated from the output of a level discriminator 1b reaching zero because of short-circuit to both the signal lines L1 and L2 by the slave devices 2, 3. The power supply charging of the slave devices 2, 3, ... at +1 output is made easy by comparing a resistance value of a current limit resistor 1f with that of a current limit resistor 1e and the circuit is improve for noise immunity and also the short-circuit current of the slave devices 2, 3, ... at -1 output.



Data supplied from the esp@cenet database — Worldwide

⑪ 公開特許公報(A) 昭60-160239

⑫ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)8月21日

H 04 L 11/00

1 0 1

A-6866-5K

Z-6866-5K

審査請求 未請求 発明の数 1 (全10頁)

⑭ 発明の名称 信号伝送装置

⑮ 特 願 昭59-16446

⑯ 出 願 昭59(1984)1月30日

⑰ 発 明 者 小 川 裕 士 京都市右京区花園土堂町10番地 立石電機株式会社内
 ⑱ 発 明 者 老 邑 克 彦 京都市右京区花園土堂町10番地 立石電機株式会社内
 ⑲ 発 明 者 浦 崎 一 明 京都市右京区花園土堂町10番地 立石電機株式会社内
 ⑳ 出 願 人 立石電機株式会社 京都市右京区花園土堂町10番地
 ㉑ 代 理 人 弁理士 岡田 和秀

明 細 書

1、発明の名称

信号伝送装置

2、特許請求の範囲

(1) 親機に対して複数の子機を互いに共通に、一対の信号線で並列に接続し、

親機は信号伝送内容に応じてレベルが変化する親信号を、前記信号線を介して子機に信号伝送する信号ドライブ回路を有し、

一方、子機はそれぞれ検出器が備えられており、かつ親機側からの親信号を充電して子機用の電源とする充電回路を備え、前記検出器からの検出信号を前記信号線を短絡して子信号として親機に信号伝送するものである信号伝送装置において、

前記親機は信号線を介して親信号を伝送するとともに、3値信号を伝送し、

子機はその3値信号のうちの1値を自己のクロック信号とし、他の1値を親機への前記子信号とする信号伝送装置。

3、発明の詳細な説明

(発明の分野)

本発明は、操作スイッチ、リミットスイッチ、光電スイッチ、近接スイッチ、温度スイッチ、ショックスイッチ等の広義の検出器の、機械的接点または半導体スイッチング素子のオンオフによるデータを、中央制御装置等の機器に与えるための信号伝送装置に関する。

(従来技術とその問題点)

一般に、複数のスイッチ等の信号を機器に伝送するには、直列ないし並列接続が可能な場合を除いては、それぞれ1本の導線を用いた1対1接続がなされている。ところが、このような接続方式では検出器と同数の導線と、それを受け付ける端子が必要であり、部品代、配線工数の面でコスト高になる。また、接地線あるいはシャーシ等と信号線とが離れるため、雑音の影響を受けやすい。更に、スイッチ類が常に通電しているので、電力消費が大きい等の欠点があった。これらの欠点を解決するために特開昭57-99060号公報に記載された従来技術がある。

この従来技術的方式では、第1図に示すように、親機1に対して複数の子機2,3,4,5...を互いに共通に、第1信号線L1と第2信号線L2との2本の信号線L1,L2で並列に接続している。この方式によれば、親機が子機と接続するために備えている端子数が大幅に減少し、またそれに伴う配線本数も減少し、ノイズも減少するなどの幾多の利点がある。ところが、子機側では信号伝送のための調歩同期を行なっているため、子機側には基準クロックが必要になり、そのために消費電力が大きくなりコストが上がるという欠点がある。(発明の目的)

本発明は、上述の事情に鑑みてなされたものであって、子機側に前記基準クロックの必要性をなくし、これにより消費電力の低減化を可能にすることを目的とする。

(発明の構成と効果)

本発明は、このような目的を達成するために、親機は信号線を介して親機信号を送送するとき、3値信号を送送し、子機はその3値信号のうち

の1値を自己のクロック信号とし、他の1値を親機への前記子機信号とするようにしている。したがって、本発明によれば、子機側に基準クロックを持つ必要がなくなり、これにより消費電力の低減化が可能となる。

(実施例の説明)

以下、本発明を図面に示す実施例に基づいて詳細に説明する。この実施例での親機と子機との接続は第1図と同様であるのでその詳細は省略する。この実施例では1個の親機に接続される子機の数は例えば8個である。

第2図は、本発明の実施例に係る親機と子機との信号伝送のタイムチャートである。第2図(a)は親機から子機へ伝送される親機信号のレベルの変化を示す。このレベルは第2信号線L2を“0”レベル(基準)にして示されている。第2図(a)から明らかなように親機1は3値信号(+1,0,-1)を送送する。即ち、時刻t1までは、第1信号線L1に伝送される信号のレベルは+1であり、時刻t1~時刻t2間は-1、時刻t2~時刻t3間は

0、時刻t3~時刻t4間は+1、時刻t5以降は+1と-1との間を変化する。ここで、+1とは第1信号線L1の信号のレベルが第2信号線L2のレベルよりも大であることを示し、-1とはその逆であることを示し、0とは両信号線L1,L2のレベルが同じであることを示す。この場合、時刻t6~時刻t7間、時刻t8~時刻t9間は親機1からは破線のようなレベルの信号を送送しているが、後述の子機2,3,...からの子機信号により信号線L1,L2間が短絡されて0となっている。時刻t1~時刻t3間は信号伝送のスタートビットとして親機1から子機2,3,...へ与えられるものであり、子機2,3,...はこの時刻の間で信号のレベルが-1から0に変化することを検出して親機1から信号の伝送が開始されたことを知り、信号の伝送に備える。子機2,3,...は、この信号の伝送開始前の親機1からの+1の信号を整流して自己の電源とする。また、子機2,3,...は第2図の信号のレベルが0から+1にまたは-1から+1に変化することに、内蔵のカウ

ントを歩進する。そして、このカウンタのカウント値と自己のアドレス値とが一致したときに、子機2,3,...が備える検出器がオンであるならば両信号線L1,L2間を短絡させる。この場合、第2図(b)に示す「スタート」は信号の伝送開始を示し、「ストップ」は信号伝送の終了を示す。また数値は順次8個の子機2,3,4,5,...のアドレスに対応する。また、第2図(b)の波形のレベルがハイレベルの部分は子機2,3,...が信号線L1,L2を短絡したことを示す。したがって、子機2,3,...が信号線L1,L2を短絡したときは親機1が-1の信号を送送していても強制的に信号線のレベルは0にされる。子機2,3,...は内蔵カウンタの次の歩進により信号線L1,L2の短絡を停止する。ただし、検出器がオンしていないときは、子機2,3,...は信号線L1,L2を短絡しない。アクチュエータ用の子機は内蔵カウンタのカウント値が自己のアドレスと一致した場合、次の0から+1への信号レベルの変化、または-1から+1への信号の変化により、直前

の信号を検出し、出力駆動用LEDを点灯したり、しなかったりするための出力ドライバを駆動する。

第3図は、観機1の回路構成図である。第3図において、符号1aは制御部、1bは信号線L1、L2の電圧を判定し、+1、0、-1を出力するレベル弁別器である。このレベル弁別器1bは、+1のときはC出力、-1のときはD出力、0のときは前記両出力を出さない、1c、1dは、PチャネルMOSFET、1e、1fは、電流制限抵抗、1g、1hはNチャネルMOSFETである。

観機1の動作について説明する。

信号伝送時以外は、制御部1aは信号Aをハイレベルに、信号Bをローレベルにする。これに応じてFET1d、1gがオンし、FET1e、1hがオフする。この結果、第2信号線L2は接地され、第1信号線L1は電流制限抵抗1fを介して電源+Bに接続される。これを子機2、3、・・・は自己が備える充電回路で電源用として整流して充電する。このとき、レベル弁別器1bのC出力は、+1であるが、仮に両信号線L1、L2間に短絡

があったり、このシステムの電源投入直後で子機2、3、・・・の充電が終了していなければ、0出力が出される。一定時間経過して+1出力が出なければ短絡事故であると判定する。信号を伝送すべきときで、0出力を出力すべきときは信号Aと信号Bとを共に+1にする。こうすれば、FET1e、1dがオンし、FET1g、1hがオフして第1、第2信号線L1、L2間の電位が等しくなる。なお、逆にFET1e、1dがオンし、FET1g、1hをオフさせても、子機2、3、・・・からすれば、同様に0であるが、電流制限抵抗1e、1fが加わる分だけ信号線がノイズに弱くなる。信号伝送で+1を出力すべきときは、信号伝送時以外同様に、信号Aをハイレベル、信号Bをローレベルにする。同様に信号伝送で-1を出力すべきときは信号Aをローレベル、信号Bをハイレベルにすれば、FET1e、1hがオン、FET1d、1gがオフし、第1信号線L1が接地に、第2信号線L2が電流制限抵抗1eを介して電源+Bに接続される。

子機2、3、・・・からの信号伝送は、観機1が

-1を出力しているにもかかわらず、子機2、3、・・・が両信号線L1、L2を短絡することにより、レベル弁別器1bの出力が0になることで判定する。ここで、第3図の電流制限抵抗1fの抵抗値を電流制限抵抗1eのそれと比較して小さく設定することにより、+1出力時の子機2、3、・・・の電源充電を容易にし、ノイズにも強くしかつ-1出力時に子機2、3、・・・の短絡電流を減少させる。

第4図に、第3図のレベル弁別器1bの具体的な構成を示す。第4図(a)は2つのシュミット回路で構成された最も簡単なレベル弁別器1bであり、単に両シュミット回路のそれぞれに両信号線L1、L2を伝送される信号を入力し、第1信号線L1からの信号の電圧が+1であるならばxがハイレベルにyがローレベルに、第2信号線L2からのそれが-1であるならばxがローレベルに、yがハイレベルになる。共に、両信号線L1、L2からの信号のレベルが共にローレベルのために出力が出なければ、x、yは共にローレベルであり、共に

出ればエラーである。第4図(b)は、同相ノイズ対策を施したものであり、両信号線L1、L2からの信号は比較器110の各入力とされる。この比較器110の出力が両信号線L1、L2での信号のレベルが等しいときの出力より、或る値以上出力が+になると、第1信号線L1が+、第2信号線L2が-、或る値以上-になると、その逆になる。いずれでもなければ両信号線L1、L2が同電位であると判定する。なお、次の比較器111、112には、ノイズ対策と波形整形のためにヒステリシスを付かせている。この両比較器111、112の出力x、yエラー時を除き第4図(a)と同様である。

第5図に、子機2、3、・・・のうちその1つの回路構成図を示す。これは、センサ用の子機である。第5図において、符号10は全波整流のためのダイオードブリッジ、11は電源保持用コンデンサ、12は第4図(b)と同様なレベル弁別器、13はノイズ防止用のコンデンサと抵抗、16、18はRSフリップフ

ロップ、17, 19, 20はアンドゲート、21はクロックパルス入力端子CPを備え、その入力端子CPにクロックパルス入力がローレベルからハイレベルへ立ち上がるときに進歩する9進カウンタであり、この9進カウンタ21は“8”出力と、4ビットの2進出力を有する。22はアドレス変換回路、23はアドレス設定回路、24はNチャネルMOSFET、25はダイオード、26は抵抗、27はセンサスイッチである。これらのうち、第5図の点線で囲む部分は、1チップCMOS IC内に集積されている。この場合、絶縁形CMOSの使用が好ましいが、一般のCMOSでもラッチアップ現象の対策を施せば実現可能である。

この子機の動作について説明する。

信号伝送しないときは、第1信号線L1の電圧が正レベル、第2信号線L2のそれが接地レベルである。即ち、+1である。それがダイオードブリッジ10を介してコンデンサC11を充電し、子機の電源電圧となる。その後、親機1が信号伝

送を開始すると、第1信号線L1、第2信号線L2の電位が変化し、それに応じてレベル弁別器11が x, y 出力を出す。このレベル弁別器12の出力 x, y はノアゲート13とRSフリップフロップ16とに与えられる。RSフリップフロップ16はそのセット端子Sに与えられるレベル弁別器12からの出力 y がハイレベルのときにセット、またそのリセット端子Rに与えられる出力 x がハイレベルのときにリセットされる。このRSフリップフロップ16がセットされた後、ノアゲート13の両入力 x, y が第2図の時刻12~13の間での親信号が3値のうちの1値、即ち0であるために共にローレベルであると、このアンドゲート13がハイレベルを出力する。そうすると、アンドゲート17はRSフリップフロップ16からのハイレベル出力とノアゲート13からのハイレベル出力とでハイレベル出力を出す。そうすると、RSフリップフロップ18がアンドゲート17の出力によりセットされる。ここで、コンデンサ14と抵抗15は、第1信号線L1、第2信号線L2の

信号のレベルが第2図(a)の時刻12~時刻13以外の時刻でノイズや親信号のレベルが-1から+1へと変化する途中のごく短時間、“0”出力が出て、子機を誤動作させないためのものである。こうして、RSフリップフロップ18がセットされると、アンドゲート19を介して9進カウンタ21にレベル弁別器12の出力 x が加わる。そうすると、その出力 x の立ち上がりごとに、9進カウンタ21は進歩される。常時、カウンタ21は、8になっており(後述)、最初のアンドゲート19出力 x の立ち上がりで0に、それ以後1, 2, 3, ..., 8と進歩される。カウンタ21がカウントアップしてそのカウント内容が8になると、その8のカウント出力がRSフリップフロップ18をリセットし、それ以後の立ち上がりを受けなくする。カウンタ21の出力は、アドレス設定手段23の設定値(0~7のうちのいずれか)と比較される。仮に、その両者が一致していれば、一致出力がアンドゲート20の一方の入力部に加わる。アンドゲート20の他方の入力部には、センサスイッ

チ27のセンサ信号が加わっており、仮にセンサスイッチ27がオンであれば、アンドゲート20の出力がハイレベルとなり、NチャネルMOSFET24がオンする。センサスイッチ27がオフなればNチャネルMOSFET24はオンしない。NチャネルMOSFET27がオンすると、ダイオード25の働きにより、第2信号線L2が第1信号線L1より電位が+(正)になったときのみ、両信号線L1, L2が短絡される。このため、親機1が3値出力のうちの+1の1値出力を出している間は、そのまま信号が出て、次に-1の1値出力にすると、子機により“0”に強制される。なお、センサスイッチ27はアンドゲート20に入力したが、単なるスイッチ接点であれば、NチャネルMOSFET24に直列に接続し、アンドゲート20を除いてもよい。いずれをとるかは、スイッチ接点の特性により決定すればよい(第6図)。

上記ではダイオードブリッジ10を用いたため、親信号が+1, -1いずれの値の場合にも子機の電源が充電できる。コンデンサ14と抵抗15と

はレベル弁別器12出力が第1信号線L1,第2信号線L2の信号の-1から+1へ、また+1から-1への変化に應じ、"0"出力を出さない(-1,+1同時に出ることはあってもよい)ようになっていれば、不要である。

第7図は、アクチュエータ用子機の内部ブロック図であり、第7図において、10~19、21~23は第5図と同じであり、その説明を省略する。30はアンドゲート、31はNチャネルMOSFET、32はLED(発光ダイオード)、33は抵抗、34はフォトトランジスタ、35は増幅器、36は一度入力が増加すると、その入力が切れても一定時間出力を出し続ける保持回路(オフディレイタイム)、37はNPNトランジスタであり、34~37はそれ以外とは電気的に分離されており、別電源で動作する。LED32とフォトトランジスタ34とは光学的に結合されている。

動作について説明する。アドレス一致時に本来なら親信号のレベルが+1ののち-1になるものが親機ないし他の子機が第1信号線L1と第2信

号線L2とを短絡して"0"に強制すると、アンドゲート30の出力が出て、NチャネルMOSFET31がオンし、LED32が光る。フォトトランジスタ34は、これを検知し、その出力が増幅器35で増幅される。即ち、LED32とフォトトランジスタ34とはフォトカプラである。増幅器35が出力を出すと、保持回路36で一定時間保持される。保持時間は、伝送の繰り返し時間より長くとる(例えば数ms)。以上において、子機は第1信号線L1,第2信号線L2を正しく接続しないと、+1,-1が逆極性となり誤動作してしまう。しかし、配線ミスを減少させるためには、逆接続しても正しく動作するのが望ましいことは言うまでもない。

第8図は第1信号線L1,第2信号線L2を逆接続しても正しく動作する例を示すものである。第8図においては、第5図と異なる部分のみを示している。第8図において、40は抵抗、41はコンデンサであり、両者40,41によるその時定数は信号伝送時の信号周期より充分に長くと

てある。42はシュミット回路、43,47はアンドゲート、44,48は禁止ゲート、45はオアゲート、46はノアゲート、49はNチャネルMOSFET、50はダイオードである。

動作について説明する。両信号線L1,L2が正しく接続されていれば、レベル弁別器12の出力は大半が+1、即ち出力xがハイレベルで、出力yがローレベルであり、その逆の出力関係になるのは半分以下であるため、シュミット回路42の入力は比較的ローレベル、出力はハイレベルとなる。このため、アンドゲート43、オアゲート45を介してy出力が出る。+1出力はノアゲート46により"0"も"1"もない時に出力される。これは、第5図と同じ出力である。また、アンドゲート20の出力がハイレベルであればアンドゲート47の出力により、FET24がオンするのでも第5図と同様である。次に、両信号線L1,L2が逆接続された場合を考える。そうすると、親機が+1を出力している時に、子機のレベル弁別器12は出力yにハイレベル、出力xにローレベル

を出力する。ところが、第2図(a)から明らかなように親信号が+1のレベルである期間では他の-1,0のレベルの合計期間よりも長いので、両信号線L1,L2が逆接続された子機では、シュミット回路42の入力レベルがバイレベルに近付く。このため、シュミット回路42の出力レベルはローレベルとなり、アンドゲート43が閉じる。これに対し、出力yが信号線の逆接続のためにハイレベルであるので禁止ゲート44を介して+1信号が-1出力として出てくる。また、アンドゲート47が閉じ、禁止ゲート48を介してFET49がアンドゲート20によりオンされる。FET49とダイオード50は、両信号線L1,L2を第5図の場合とは逆向きに短絡する。

なお、上記は、すべてIC1個につき信号(I/O)を1ビットとしているが、1個のICで複数ビット取り扱うのも簡単にできる。また、この実施例ではCMOSを用いるとしたが、バイポーラICにするのであれば、NチャネルMOSFET、PチャネルMOSFETをそれぞれNPN、

PNPのトランジスタにするとい、更に、観機からのスタート信号により子機のスイッチのチャタリングの防止をすることも可能であるとともに、同じアドレスに複数の子機を割り付けてもよい。

第9図は観機を子機に簡単に接続するための機構図である。第9図(a)は該機構の一方の側からの斜視図であり、第9図(b)は他方の側からの斜視図である。第9図において、60は子機が内部に収納されたケース、61はこのケース60に対して開閉可能に取り付けられた蓋である。このケース60の上面62には、凹部に形成されており、この上面62の凹部には、信号線L1、L2を子機に接続するためのナイフエッジ63、64、65、66が形成されている。また、蓋61には、突起67、68、69が形成されている。このケース60の上面62の凹部に信号線L1、L2を第9図(b)のように嵌め込む。そして、蓋61を閉じると、信号線L1、L2はケース60に形成された前記ナイフエッジ63、64、65、66の方へ押され、その押圧力によりその導線部分が斜められる。この

ようにして、第9図の機構により子機は観機に簡単に第1図のように接続されることができ。

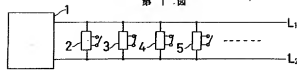
第10図は第9図と同様の目的の機構であり、第10図において、70は第9図と同様に子機が収納されたケース、71も第9図と同様にケース70の蓋である。このケース70と蓋71とによる信号線L1、L2の接続のための機構は第9図と同様であるので図面上表わしていない。第10図では、ケース70の裏面側に凹部72が形成されており、この凹部72には電源プラグ73が嵌め込まれるようになっている。74は電源線である。この電源プラグ73はその側面に形成された凹部75がケース70の凹部72の内側面に形成した突起76に係合することにより該ケース70に取り付けられる。77はケース70側の電源供給端子である。また、ケース70の側面にはランプソケット穴78、78が形成されており、このランプソケット穴78、78には、ランプ79が嵌め込まれる。

4、図面の簡単な説明

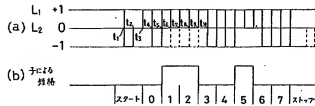
第1図は観機と子機との接続関係を示す図、第2図は観機と子機の短絡動作のときの信号波形図、第3図は観機の回路構成図、第4図はレベル弁別器の回路構成図、第5図は子機の回路構成図、第6図は第5図のFET24とダイオード25と部分にセンサスイッチ27を設けた場合の回路構成例を示す図、第7図はアクチュエータ用子機の回路構成図、第8図は信号線を逆接続しても正しく動作する第5図の他の回路構成例を示す図、第9図および第10図は観機を子機に接続するための機構図である。

1は観機、2、3、4、5は子機、1aは制御部、1bはレベル弁別器、10はダイオードブリッジ、11は電源充電用コンデンサ、12はレベル弁別器、13はノイズゲート、17、19、20、30、43、47はアンドゲート、44、48は禁止ゲート、16、18はRSフリップフロップ、21はカウンタ、22はアドレス一致検出回路、23はアドレス設定回路、L1、L2は信号線。

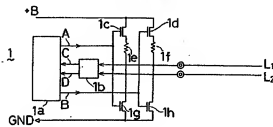
第 1 図



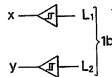
第 2 図



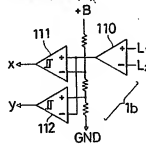
第 3 図



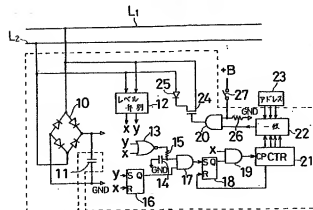
第 4 図(a)



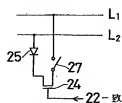
第 4 図(b)



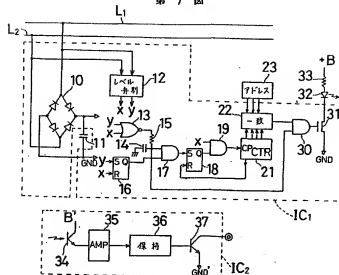
第 5 図



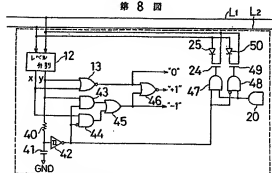
第 6 図



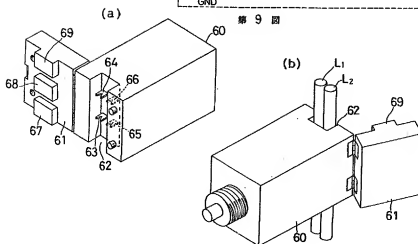
第 7 図



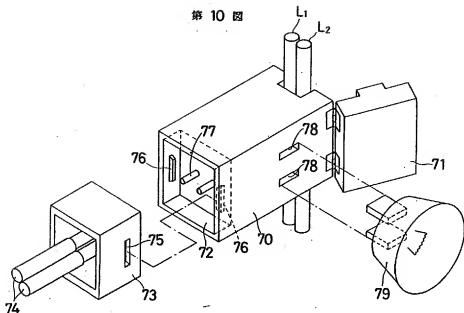
第 8 図



第 9 図



第 10 図



手続補正書(自発)

昭和59年10月22日

特許庁長官 殿

1、事件の表示

昭和59年1月30日提出の特許願(1)

2、発明の名称

(特願昭57-016444号)

信号伝送装置

3、補正をする者

事件との関係 特許出願人

住 所 京都市右京区花園土堂町10番地

名 称 (294) 立石電機株式会社

代表者 立石 孝 雄

4、代理人

住 所 大阪府北区旗本町13番38号千代田ビル北館

電話(06)376-0857

氏 名 弁理士(8673) 岡田 和 秀

5、補正命令の日付 自発補正

6、補正により増加する発明の数

7、補正の対象

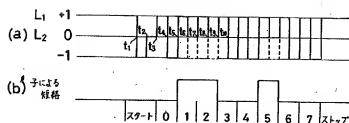
図面

8、補正の内容

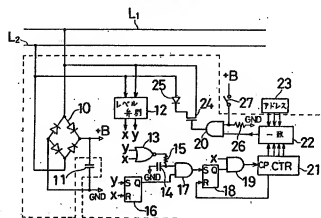
本件願書に送付した図面中、第8図を別紙の通り補正する。
 第8図を別紙の通りに補正する。以上



第 2 図



第 5 図



第 8 図

